

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Toshimi YAMADA :
Serial No.: [NEW] : Attn: Applications Branch
Filed: October 21, 2003 : Attorney Docket No.: OKI.593
For: PULSE DUTY DETERIORATION DETECTION CIRCUIT

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-175177 filed June 19, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: October 21, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 7 5 1 7 7
Application Number:

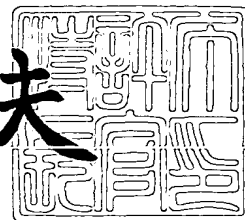
[ST. 10/C] : [J P 2 0 0 3 - 1 7 5 1 7 7]

出 願 人 沖電気工業株式会社
Applicant(s): 株式会社 沖マイクロデザイン

2 0 0 3 年 9 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0G004788

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/19

【発明者】

 【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖
 マイクロデザイン内

 【氏名】 山田 敏己

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【特許出願人】

 【識別番号】 591049893

 【氏名又は名称】 株式会社沖マイクロデザイン

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パルスデューティ悪化検出回路

【特許請求の範囲】

【請求項 1】 被監視信号のパルスデューティの悪化を検出する回路において、

前記被監視信号を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路と、

前記被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出するラッチ回路と、

該ラッチ回路の出力信号を前記被監視信号によりサンプルするフリップフロップ回路と、

を備えたことを特徴とするパルスデューティ悪化検出回路。

【請求項 2】 被監視信号のパルスデューティの悪化を検出する回路において、

前記被監視信号を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路と、

前記被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出する第 1 のラッチ回路と、

前記被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の増大値が前記所定時間より大きくなったことを検出する第 2 のラッチ回路と、

前記第 1 のラッチ回路の出力信号を前記被監視信号によりサンプルする第 1 のフリップフロップ回路と、

前記第 2 のラッチ回路の出力信号を前記被監視信号によりサンプルする第 2 のフリップフロップ回路と、

前記第 1 及び第 2 のフリップフロップ回路の出力信号に基づいて前記被監視信号のパルス幅が所定のデューティの範囲にあることを検出する回路と、

を備えていることを特徴とするパルスデューティ悪化検出回路。

【請求項 3】 請求項 2 記載のパルスデューティ悪化検出回路において、

前記第 1 のフリップフロップ回路の出力側に、パルスデューティが小さくなる方向に複数回連続して悪化したことを検出した時に有意信号を出力する第 1 の検出回路と、

前記第 2 のフリップフロップ回路の出力側に、パルスデューティが大きくなる方向に複数回連続して悪化したことを検出した時に有意信号を出力する第 2 の検出回路と、

前記第 1 及び第 2 の検出回路の出力が共に非有意信号を出力している時に前記被監視信号のパルス幅が正常範囲にあることを示す信号を出力する出力回路と、

を備えていることを特徴とするパルスデューティ悪化検出回路。

【請求項 4】 請求項 3 記載のパルスデューティ悪化検出回路において、

前記遅延回路は、直列接続された複数の汎用ゲート回路により構成された遅延素子とこの遅延素子の遅延時間を選択する為のスイッチ回路とを備えた遅延回路であり、更に、

前記出力回路がデューティ悪化を示す信号を出力している時にカウントアップするカウンタと、

該カウンタのカウント値をデコードするデコード回路と、

を備え、該デコード回路の出力信号に応じて前記遅延時間を選択するスイッチ回路を制御することにより前記被監視信号の遅延時間を自動可変としたことを特徴とするパルスデューティ悪化検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パルス信号のデューティ比の悪化を検出する回路に関する。

【0002】

【従来の技術】

現在の通信機器装置等においては、外部から受信するクロックを基準として動作するように設計されているものがある。この装置のクロック受信部では、外部

からクロックを受信し、そのクロックを基準として多種の周波数のクロックを生成し、装置内各部へ分配している。従って、装置各部のクロック受信部は、これらのクロックに異常が発生した場合に警報を発出し、関連部分への異常クロックの送出を禁止する等の処置を行うために、デューティ監視機能を備えている。

【0003】

従来、この種の回路としては、例えば特許文献1に記載の図10に示す回路があり、被監視クロック n 50 を反転させるインバータ 52 と、被監視クロック n 50 の立上りに同期した基準パルス n 51 を発生する単安定マルチバイブレータ (Monostable Multi Vibrator; 以下MMVと略す) 51 と、被監視クロック n 50 の立下りに同期した基準パルス n 53 を発生するMMV 53 と、基準パルス n 51 をインバータ 52 の出力 n 52 の立上りによりサンプリングするFF (フリップフロップ) 54 と、基準パルス n 53 を被監視クロック n 50 の立上りによりサンプリングするFF 55 と、FF 54 の反転出力 n 54 とFF 55 の反転出力 n 55 との論理和をデューティ監視結果 n 56 として出力するORゲート 56 とから構成されている。

【0004】

この構成において、被監視クロック n 50 はMMV 51, 53 の各トリガ入力となっており、MMV 51 は、被監視クロック n 50 の立上りによりトリガされ、MMV 53 は被監視クロック n 50 の立下りによりトリガされる。MMV 51, 53 の各出力パルス n 51, n 53 はFF 54, 55 により各々ラッチされる。このラッチタイミングは、FF 54 においては被監視クロック n 50 の立下りタイミングであり、FF 55 においてはその立上りタイミングである。

【0005】

FF 54 の反転出力 n 54 とFF 55 の反転出力 n 55 はORゲート 56 へ入力され、このORゲート 56 の出力 n 56 がデューティ監視結果 n 56 となっている。MMV 51, 53 の時定数 t を $t = A \times T$ となるように予め設定しておく。A は基準となるデューティ比、T は被監視クロックの周期である。従って、MMV 51, 53 の各出力パルス n 51, n 53 は、被監視クロック n 50 の立上り、立下りに各々同期して基準デューティ比を有する基準パルスとなる。そこで、この両

出力パルスの各レベルを被監視クロック n 5 0 の立上り及び立下りにより FF 5 4, 5 5 を用いてサンプリングすれば、FF 5 4, 5 5 の反転出力 n 5 4, n 5 5 には被監視クロック n 5 0 の基準デューティ比からの増減に応じたレベルが得られることになる。

【0006】

図 1 1、図 1 2 は図 1 0 の回路の動作を示すタイムチャートであり、図 1 1 は被監視クロック n 5 0 のデューティ比が正常な場合の波形を示す図である。この場合、FF 5 4, 5 5 の出力パルス n 5 4、n 5 5 は共に "Low" レベルとなり、OR ゲート 5 6 の出力 n 5 6 は "Low" レベル（正常）を示している。図 1 2 は被監視クロック n 5 0 のデューティ比が基準デューティ比 A よりも大なる場合の波形を示す図である。この場合は、FF 5 4 の出力パルス n 5 4 が "High" レベルに変化して、OR ゲート 5 6 の出力 n 5 6 も "High" レベル（異常）を示すことになる。

【0007】

【特許文献 1】

特開平 4-294632 号公報

【0008】

【発明が解決しようとする課題】

上述の従来技術では、被監視クロックのエッジ部分の位相変動を監視するために、MMV を使用している。この MMV は、付加する抵抗値やコンデンサの値を変更することによって出力パルスの幅を変化させることができる。

【0009】

通常、付加する抵抗及び容量は素子誤差を考慮する為に外付けされ、付加抵抗値は 1 k Ω 、容量は 60 p F 程度が動作保証できる最小値とされている。よって、パルス幅の最小設定は 60 n s 程度の精度となり、それが被監視クロックのエッジ部分の位相変動に対する許容範囲の設定精度となる。従って、十数 MHz を越えるような周波数では監視精度が悪化する、あるいは、監視できないという欠点があった。

【0010】

さらに、MMV のパルス幅は電源電圧への依存性が高いという特性を有してい

る。上記パルス幅の最小値は通常、電源電圧が 5 V 程度時の値であるが、パルス幅は電源電圧に反比例するので、最近の携帯電話等で使用される様な低電圧の電源において、電源電圧が 3 V 付近になるとパルス幅が 100 ns 程度となりパルス幅設定の誤差が大きくなり、監視精度を悪化させる要因となっていた。

【0011】

この発明は、前記従来技術の課題を解決して簡単により監視精度の高いパルスデューティ悪化検出回路を提供することを目的とする。

【0012】

【課題を解決するための手段】

前記課題を解決する為に、本発明の第 1 の観点によれば、被監視信号のパルスデューティの悪化を検出する回路において、被監視信号を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路と、被監視信号と遅延同期した被監視信号とに基づいて被監視信号のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出するラッチ回路と、このラッチ回路の出力信号を前記被監視信号によりサンプルするフリップフロップ回路とを備えたパルスデューティ悪化検出回路が提供される。

【0013】

また、本発明の第 2 の観点によれば、被監視信号のパルスデューティの悪化を検出する回路において、被監視信号を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路と、被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出する第 1 のラッチ回路と、被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の増大値が前記所定時間より大きくなったことを検出する第 2 のラッチ回路と、第 1 のラッチ回路の出力信号を被監視信号によりサンプルする第 1 のフリップフロップ回路と、第 2 のラッチ回路の出力信号を被監視信号によりサンプルする第 2 のフリップフロップ回路と、第 1 及び第 2 のフリップフロップ回路の出力信号に基づいて前記被監視信号のパルス幅が所定のデューティの範囲にあることを検出する回路とを備えているパルスデューティ悪化

検出回路が提供される。

【0014】

また、本発明の第3の観点によれば、第2の観点に記載のパルスデューティ悪化検出回路において、第1のフリップフロップ回路の出力側に、パルスデューティが小さくなる方向に複数回連続して悪化したことを検出した時に有意信号を出力する第1の検出回路と、第2のフリップフロップ回路の出力側に、パルスデューティが大きくなる方向に複数回連続して悪化したことを検出した時に有意信号を出力する第2の検出回路と、第1及び第2の検出回路の出力が共に非有意信号を出力している時に被監視信号のパルス幅が正常範囲にあることを示す信号を出力する出力回路とを備えているパルスデューティ悪化検出回路が提供される。

【0015】

更に、本発明の第4の観点によれば、第3の観点に記載のパルスデューティ悪化検出回路において、前記遅延回路は、直列接続された複数の汎用ゲート回路により構成された遅延素子とこの遅延素子の遅延時間を選択する為のスイッチ回路とを備えた遅延回路であり、更に、前記出力回路がデューティ悪化を示す信号を出力している時にカウントアップするカウンタと、このカウンタのカウント値をデコードするデコーダ回路とを備え、デコーダ回路の出力信号に応じて遅延時間を選択するスイッチ回路を制御することにより被監視信号の遅延時間を自動可変としたパルスデューティ悪化検出回路が提供される。

【0016】

【発明の実施の形態】

以下、図面を参照して、本発明によるパルスデューティ悪化検出回路に好適な実施の形態について詳細に説明する。尚、本明細書及び図面において、実質的に同一の機能を有する構成要素については同一の符号を付することにより重複説明を省略する。

【0017】

[第1の実施の形態]

(構成)

図1は、本発明の第1の実施の形態におけるパルスデューティ悪化検出回路の

回路図である。

【0018】

図1における回路は、監視対象となるクロック n 1 に遅延同期した信号 n 3 を生成する遅延回路部 1 1 と、遅延同期信号 n 3 及び監視対象クロック n 1 を入力とするラッチ回路 1 0 0 と、そのラッチ回路 1 0 0 から生成した出力信号 n 1 4 と監視対象クロック n 1 の反転信号とリセット信号 n 2 を入力とする FF 1 2 と、FF 1 2 の出力 n 1 5 を入力とするインバータ 1 7 から構成される。

【0019】

遅延同期信号生成部 1 1 は、監視対象となるクロック n 1 に対して、予め決められた遅延値を与えて出力する回路であり汎用ゲートによって構成される。

【0020】

ラッチ回路 1 0 0 は、監視対象クロック n 1 と遅延同期信号 n 3 を入力とする AND ゲート 1 3 と、監視対象クロック n 1 と遅延同期信号 n 3 の反転信号を入力とする AND ゲート 1 4 と、AND ゲート 1 3 の出力 n 1 1 と AND ゲート 1 4 の出力信号 n 1 2 を入力して出力信号 n 1 4 を出力する NOR ゲート 1 5, 1 6 で構成された NOR ラッチ回路とを備えている。

【0021】

FF 1 2 はラッチ回路 1 0 0 の出力信号 n 1 4 を監視対象となるクロック n 1 の立ち下がりのタイミングでラッチし、信号 n 1 5 を出力する。

【0022】

(動作)

遅延回路 1 1 は、監視対象となるクロック n 1 に対してデューティ監視に必要な時間だけ遅延させ、遅延同期した信号 n 3 を生成する。

【0023】

ラッチ回路 1 0 0 の出力 n 1 4 は、監視対象となるクロック n 1 と遅延同期した信号 n 3 との位相差をラッチする。

【0024】

デューティ比が正常な場合（図2のタイムチャート参照）、ANDゲート 1 3 と ANDゲート 1 4 は、監視対象となるクロック n 1 と遅延同期した信号 n 3 との位相

差信号 n 1 1、n 1 2 を出力する。その位相差信号 n 1 1、n 1 2 は、NOR ゲート 1 5、1 6 で構成される NOR ラッチ回路に接続され、位相差信号に応じた出力信号 n 1 4 を出力する。

【0025】

FF 1 2 は、監視対象となるクロック n 1 の立ち下がりタイミングでラッチ回路 1 0 0 の出力信号 n 1 4 をラッチし、信号 n 1 5 を出力する。この時、例えば、クロック信号 n 1 のパルス幅がデューティ監視時間（遅延回路の遅延時間により決まる）より小さくなると、AND ゲート 1 3 の出力 n 1 1 は位相差を出力しなくなり（即ち "Low" レベルとなる）、また AND ゲート 1 4 の出力は位相差 n 1 2 を出力する（このパルスで NOR ラッチ回路の出力 n 1 4 を "Low" レベルにリセットする）。よってラッチ回路 1 0 0 の出力 n 1 4 は "Low" レベルを維持し、FF 1 2 の出力 n 1 5 は "Low" レベルとなり、インバータ 1 7 の出力 n 1 0 は "High" レベルになる。

【0026】

以上の様に本例の場合、デューティ比の監視結果 n 1 0 が "Low" レベルであればデューティ比は「正常」、 "High" レベルであればデューティ比は「悪化」していることになる。図 2、3 は図 1 の動作を示すタイムチャートであり、図 2 がデューティ比が正常な場合、図 3 がデューティ比が悪化した場合である。

【0027】

尚、FF 1 2 の出力 n 1 5 は R E S E T 信号 n 2 が "High" レベルの場合、非同期にリセットされ "Low" レベルになり、デューティ比の監視結果 n 1 0 は "High" レベルとなり初期化される。

【0028】

以上説明したように、本回路例は監視対象となるクロックが、汎用ゲートによって実現した遅延回路の遅延時間に基づいて決められた変動許容範囲内にあるか否かを監視することにより、パルスデューティの悪化検出を行う。この実施の形態における回路例は従来の MMV を用いた回路に対して、クロックエッジの変動幅を監視している点では同様だが、本回路例では変動幅の設定を汎用ゲート回路による遅延を用いていることで、この遅延時間は数 n s 程度に設定可能であること

から、従来のMMVを用いた回路と比較して、より高精度なパルスデューティの悪化検出が可能となる。

【0029】

(効果)の説明

以上説明したように、この実施の形態における回路においては監視対象となるクロックに同期遅延した信号を生成し、この同期遅延した信号と監視対象となるクロック信号との位相差に応じた信号をNORラッチ回路においてラッチすることにより、監視対象となるクロックに対して監視精度の高いパルスデューティ悪化検出回路を実現できる。また、温度依存性の高い素子が無く、電源電圧による依存性が小さいため、監視精度のバラツキを低減している点で従来回路より監視精度が向上している。

【0030】

[第2の実施の形態]

(構成)

図4は本発明の第2の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【0031】

図4の回路は、監視対象となるクロックn1に遅延同期した信号n3を生成する遅延回路部11と、この生成した遅延同期信号n3及び監視対象クロックn1を入力とするラッチ回路100と、そのラッチ回路100から生成した出力信号n14と監視対象クロックn1の反転信号とリセット信号n2を入力とする第1のFF12とから構成される第一の回路(第一の信号監視手段)と、遅延同期信号n3及び監視対象クロックn1を入力とするラッチ回路200と、そのラッチ回路200から生成した出力信号n24と監視対象クロックn1とリセット信号n2を入力とする第2のFF22とから構成される第二の回路(第二の監視手段)と、第1のFF12の出力n15及び第2のFF22の出力n25を入力とするNANDゲート20から構成される。

【0032】

ラッチ回路200は、監視対象クロックn1と遅延同期信号n3を入力するNO

Rゲート 2 3 と、監視対象クロック n 1 の反転入力と遅延同期信号 n 3 を入力するANDゲート 2 4 と、NORゲート 2 3 の出力 n 2 1 とANDゲート 2 4 の出力 n 2 2 を入力とするNORゲート 2 5, 2 6 で構成され、信号 n 2 4 を出力するNORラッチ回路を備えている。

【 0 0 3 3 】

第 2 のFF 2 2 はラッチ回路 2 0 0 の出力 n 2 4 を監視対象となるクロック n 1 の立ち上がりタイミングでラッチし、信号 n 2 5 を出力する。

【 0 0 3 4 】

NANDゲート 2 0 は第 1 のFF 1 2 の出力信号 n 1 5 と第 2 のFF 2 2 の出力信号 n 2 5 の論理積の反転をとり、デューティ比の監視結果 n 2 0 を出力する。また、リセット信号 n 2 は第 1 のFF 1 2, 第 2 のFF 2 2 の非同期リセットに入力する。

【 0 0 3 5 】

(動作)

遅延回路 1 1 は、監視対象となるクロック n 1 に対してデューティ監視に必要な時間だけ遅延した遅延同期信号 n 3 を生成する。

【 0 0 3 6 】

ラッチ回路 1 0 0 の出力 n 1 4 は、監視対象となるクロック n 1 と遅延同期した信号 n 3 との位相差をラッチする。

【 0 0 3 7 】

デューティ比が正常な場合、ANDゲート 1 3 とANDゲート 1 4 は、監視対象となるクロック n 1 と遅延同期信号 n 3 との位相差信号 n 1 1、n 1 2 を出力する。その位相差信号 n 1 1、n 1 2 は、NORゲート 1 5、1 6 で構成されるNORラッチ回路に接続され、位相差信号に応じた出力信号 n 1 4 を出力する。

【 0 0 3 8 】

FF 1 2 は、監視対象となるクロック n 1 の立ち下がりタイミングでラッチ回路 1 0 0 の出力信号 n 1 4 をラッチし、信号 n 1 5 を出力する。この時、例えば、クロック信号 n 1 のパルス幅がデューティ監視時間より小さくなると、ANDゲート 1 3 の出力 n 1 1 は位相差を出力せず、またANDゲート 1 4 の出力は位相差 n

12 を出力する。よってラッチ回路 100 の出力 n14 は"Low"レベルを維持し、FF12 の出力 n15 は"Low"レベルとなる。

【0039】

同様にラッチ回路 200 の出力 n24 も、監視対象となるクロック n1 と遅延同期した信号 n3 との位相差をラッチする。

【0040】

デューティ比が正常な場合、NORゲート 23 とANDゲート 24 は監視対象となるクロック n1 と遅延同期した信号 n3 との位相差信号 n21、n22 を出力する。その位相差信号 n21、n22 は、NORゲート 25、26 で構成されるNORラッチ回路に入力され、位相差信号に応じた出力信号 n24 を出力する。

【0041】

第2のFF22は監視対象となるクロック n1 の立ち上がりタイミングでラッチ回路 200 の出力信号 n24 をラッチし、信号 n25 を出力する。この時、例えば、クロック信号 n1 のパルス幅がデューティ監視時間より大きくなると、NORゲート 23 の出力 n21 は位相差を出力せず（即ち"Low"レベルを出力する）、またANDゲート 24 の出力 n22 は位相差を出力する。よってラッチ回路 200 は信号 n22 により常にリセットされた状態となり、出力信号 n24 は"Low"レベルを維持し、第2のFF22の出力 n25 は"Low"レベルとなる。よって、第1のFF12の出力 n15 または第2のFF22の出力 n25 が"Low"レベル、つまり「悪化」すると、デューティ比の監視結果 n20 は"High"レベルとなる。

【0042】

以上の様に、監視対象信号であるクロック信号 n1 のパルス幅のデューティ比がデューティ監視時間より小さくなる方向に悪化した場合はラッチ回路 100 が検出し、デューティ比がデューティ監視時間より大きくなる方向に悪化した場合はラッチ回路 200 により検出される。

【0043】

この実施の形態における回路においては、デューティ比の監視結果 n20 が"Low"レベルであればデューティ比は「正常」、"High"レベルであればデューティ

比は「悪化」していることになる。図5は図4の動作を示すタイムチャートである。

【0044】

尚、第1のFF12の出力信号n15、第2のFF22の出力信号n25はRESET信号n2が“High”レベルの場合、非同期にリセットされて“Low”レベルになり、デューティ比の監視結果n20は“High”レベルとなり初期化される。

【0045】

(効果)

以上説明したように、この実施の形態における回路においては、監視対象信号であるクロック信号n1のパルス幅のデューティ比が小さく変動した場合のみならず大きく変動した場合も検出できるので、デューティ比が変動許容範囲内にあるかどうかを監視することができ、高精度なパルスデューティ監視を実現できる。

【0046】

[第3の実施の形態]

(構成)

図6は、本発明の第3の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【0047】

この回路は、図4における回路600と、その回路600の出力結果信号n15、n25を入力とする誤検出防止回路300、400と、その誤検出防止回路の出力結果n39、n3Hの論理和を出力するORゲート3Fで構成される。

【0048】

誤検出防止回路300は、ANDゲート31とORゲート32とアップダウンカウンタ35とANDゲート33とNORゲート34とNORゲート36、37から成るNORラッチ回路とで構成される。

【0049】

ANDゲート31は、FF12の出力n15とNORゲート34出力信号n32の反転信号を入力とし、信号n34を出力する。ORゲート32はFF12の出力n15と

ANDゲート 3 3 の出力信号 n 3 3 を入力とし、信号 n 3 5 を出力する。アップダウンカウンタ 3 5 は、ANDゲート 3 1 の出力 n 3 4 と ORゲート 3 2 の出力 n 3 5 及び監視対象となるクロック n 1 とリセット信号 n 2 を入力とし、カウント信号 n 3 6、n 3 7 を出力し、ANDゲート 3 3 と NORゲート 3 4 の両方に入力される。NORゲート 3 6、3 7 から成る NORラッチ回路には NORゲート 3 4 の出力信号 n 3 2 と ANDゲート 3 3 の出力信号 n 3 3 とが入力される。

【 0 0 5 0 】

誤検出防止回路 4 0 0 は、ANDゲート 3 8 と ORゲート 3 9 とアップダウンカウンタ 3 C と ANDゲート 3 A と NORゲート 3 B と NORゲート 3 D、3 E から成る NORラッチ回路とで構成される。この接続の構成は、誤検出防止回路 3 0 0 と同様である。

【 0 0 5 1 】

ORゲート 3 F は誤検出防止回路 3 0 0 の出力 n 3 9 と誤検出防止回路 4 0 0 の出力 n 3 H の論理和をとり、n 3 0 を出力する。この信号 n 3 0 がデューティ比の監視結果となる。

【 0 0 5 2 】

(動作)

回路 6 0 0 の出力 n 1 5 と n 2 5 までの動作は第 2 の実施の形態と同様であり、それ以降の回路動作について説明する。

【 0 0 5 3 】

誤検出防止回路 3 0 0 は、デューティ比の悪化の誤検出を防止する回路である。アップダウンカウンタ 3 5 は監視対象となるクロック n 1 の立ち上がりタイミングで動作し、ORゲート 3 2 の出力信号 n 3 5 が”Low”レベルでかつANDゲート 3 1 の出力信号 n 3 4 が”Low”レベルの場合カウントアップし、ORゲート 3 2 の出力信号 n 3 5 が”High”レベルでかつANDゲート 3 1 の出力信号 n 3 4 が”High”レベルの場合カウントダウンする。また、アップダウンカウンタ 3 5 は n 3 4 が”Low”レベル、n 3 5 が”High”レベルまたは、n 3 4 が”High”レベル、n 3 5 が”Low”レベルの時はカウント値を保持する。

【 0 0 5 4 】

ORゲート 3 2 の出力信号 n 3 5 が”Low”レベルでANDゲート 3 1 の出力信号 n 3 4 が”Low”レベルになる条件は、FF 1 2 の出力 n 1 5 が”Low”レベルで、アップダウンカウンタ 3 5 の出力 n 3 6, n 3 7 の両方が”High”レベルでない場合、つまり最上位の値までカウントアップしていない場合である。

【 0 0 5 5 】

一方、ORゲート 3 2 の出力信号 n 3 5 が”High”レベルでANDゲート 3 1 の出力信号 n 3 4 が”High”レベルになる条件は、FF 1 2 の出力 n 1 5 が”High”レベル、つまりデューティ比が正常でかつ、アップダウンカウンタ 3 5 の出力 n 3 6, n 3 7 の両方”Low”レベルでない場合、つまり最下位の値でない場合である。

【 0 0 5 6 】

アップダウンカウンタ 3 5 が最上位の値までカウントアップすると、信号 n 3 3 は”High”レベル、信号 n 3 2 は”Low”レベルとなり、NORゲート 3 7 の出力 n 3 9 は、アップダウンカウンタ 3 5 が最下位の値になるまで”High”レベルを保持する。アップダウンカウンタ 3 5 が最下位の値になると、NORゲート 3 7 の出力 n 3 9 は”Low”レベルとなり、アップダウンカウンタ 3 5 が再び最上位の値になるまで”Low”レベルを保持する。従って、デューティ比の悪化が複数回連続した場合にこれを回路の誤動作として検出可能となっており、誤検出防止を行っている。

【 0 0 5 7 】

誤検出防止回路 4 0 0 の動作は誤検出防止回路 3 0 0 と同様であり、誤検出防止回路 3 0 0 の出力 n 3 9 と誤検出防止回路 4 0 0 の出力 n 3 H の論理和により、デューティ比の監視結果 n 3 0 を得ることができる。

【 0 0 5 8 】

この実施の形態の場合、デューティ比の監視結果 n 3 0 が”Low”レベルであればデューティ比は「正常」、”High”レベルであればデューティ比は「悪化」していることになる。図 7 は図 6 の動作を示すタイムチャートである。

【 0 0 5 9 】

尚、FF 1 2、2 2、アップダウンカウンタ 3 5、3 C の出力信号は R E S E T 信号 n 2 が”High”レベルの場合リセットされて”Low”レベルになり初期化され、

デューティ比の監視結果 n 3 0 は "Low" レベルとなる。本実施の形態では誤検出防止に用いたアップダウンカウンタは 4 回カウントだが、カウント数を多くする事も可能であり、また悪化検出毎にカウンタをリセットし、連続したデューティ比の悪化の検出を行うことも可能である。

【 0 0 6 0 】

(効果)

以上説明したように、本実施の形態では、第 2 の実施の形態と同様な効果があり、さら誤検出防止回路を設ける事により、監視対象となるパルスデューティ比を誤検出することなく監視精度の高い回路を実現できる効果がある。

【 0 0 6 1 】

[第 4 の実施の形態]

(構成)

図 8 は本発明の第 4 の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【 0 0 6 2 】

監視対象となるクロック n 1 とデコーダ 4 7 の出力信号 n 4 6 ~ n 4 9 を入力とする遅延回路 4 1 と、その出力 n 3 を入力とする第 3 の実施の形態における回路と同様の回路 5 0 0 と、回路 5 0 0 の出力に連続して接続する FF 4 2 ~ 4 4 と、FF 4 2 の出力 n 4 1 を一方の入力とし、他方の入力をカウンタ 4 5 の出力 n 4 4、n 4 5 に接続する NAND ゲート 4 6 の出力信号 n 4 3 とする AND ゲート 4 H と、その出力 n 4 2 と監視対象となるクロック n 1 とリセット信号 n 2 を入力するカウンタ 4 5 と、そのカウンタ 4 5 の出力 n 4 4、n 4 5 を入力するデコーダ 4 7 と、FF 4 4 の出力 n 4 H を一方の入力とし、他方の入力をデコーダ 4 7 の出力信号 n 4 9 の反転信号とする AND ゲート 4 J と、その AND ゲート 4 J の出力 n 4 E の一方の入力とし、他方の入力をリセット信号 n 2 とする OR ゲート 4 8 で構成される。

【 0 0 6 3 】

遅延回路 4 1 は、delay 回路 4 9 ~ 4 C が直列接続された構成である。delay 回路 4 9 と delay 回路 4 A との接続ノード n 4 D は NMOS トランジスタ 4 D のドレイ

ン側と接続する。同様に、delay回路4Aとdelay回路4Bとの接続ノードn4CはNMOSトランジスタ4Eのドレイン側と接続し、delay回路4Bとdelay回路4Cとの接続ノードn4BはNMOSトランジスタ4Fのドレイン側と接続し、delay回路4Cの出力ノードn4AはNMOSトランジスタ4Gのドレインと接続する。NMOSトランジスタ4D～4Gのそれぞれのソース側は、遅延回路41の出力n3となっている。

【0064】

デコーダ47の出力信号n46は遅延回路41のNMOSトランジスタ4Gのゲートと接続し、同様に出力信号n47はNMOSトランジスタ4Fのゲートと接続し、出力信号n48はNMOSトランジスタ4Eのゲートと接続し、出力信号n49はNMOSトランジスタ4Dのゲートと接続する。

【0065】

リセット信号n2は、FF43、44、及びカウンタ45の非同期リセット端子に接続される。また、リセット信号n2とANDゲート4Jの出力n4Eの論理和出力n4Fは、回路500とFF42の非同期リセット端子に接続される。

【0066】

(動作)

遅延回路41は監視対象となるクロックn1に対してdelay回路49～4Cの遅延値を選択し、デューティ監視に必要な時間だけ遅延させ、監視対象となるクロックn1に同期遅延した信号n3を出力する。

【0067】

リセット信号n2が”High”レベルの初期状態においてカウンタ45の出力信号n45、n44は”Low”レベルであり、デコーダ47の出力のn46が”High”レベル、n47からn49は”Low”レベルとなり、遅延回路41においては、NMOSトランジスタ4Gが選択され、他のNMOSトランジスタ4D～4Fは選択されず、delay回路49～4Cの合計遅延値が初期値では選択される。delay回路4A～4Cの遅延値は全て同じで2ns程度とし、delay回路49の遅延値は監視対象クロックのパルス幅のデューティ比の最小許容値とする。

【0068】

回路 500 はその同期遅延した信号 n3 を入力するが、回路 500 の動作は第 3 の実施の形態と同様である。よって、デューティ比の監視結果 n30 が "Low" レベルであれば「正常」、 "High" レベルであれば「悪化」していることになる。そして監視結果信号 n30 は監視対象となるクロック n1 の立ち上がりタイミングで FF42 のラッチ信号 n41 を出力する。

【0069】

カウンタ 45 は AND ゲート 4H の出力 n42 が "High" レベルの場合、監視対象となるクロック n1 の立ち上がりタイミングでカウントアップし、 "Low" レベルの場合カウントアップしない。AND ゲート 4H の出力信号 n42 が "High" レベルとなる条件は、デューティ比の監視結果 n30 が "High" レベル、つまり「悪化」した場合でかつカウンタが 45 の出力 n44, n45 の両方が "High" レベルでない場合、つまり最上位の値までカウントアップしていない場合である。AND ゲート 4H の出力信号 n42 が "Low" レベルの条件は、デューティ比の監視結果 n30 が "Low" レベル、つまり「正常」である場合かまたはカウンタが 45 の出力 n44, n45 の両方が "High" レベルの場合、つまり最上位の値までカウントアップした場合である。

【0070】

よって、カウンタが 45 は、デューティ比の監視結果 n30 が "High" レベルの場合、監視対象となるクロック n1 の立ち上がりで 1 カウントアップし、カウンタが 45 の出力が最上位の値までカウントアップすると、リセット信号 n2 が "High" レベルになるまで、カウンタは最上位の値を保持し続ける。カウンタ 45 の出力 n44, n45 はデコーダ 47 の入力端子 A0, A1 に入力する。

【0071】

デコーダ 47 は A0, A1 が "Low" レベルの場合 n46 を "High" レベル、 n47 ~ n49 は "Low" レベルとなる。同様にカウンタ 45 のカウント値が 1 であれば n47 が "High" レベル、 n46, n48, n49 が "Low" レベルになり、カウンタ 45 のカウンタ値によって、デコーダ 47 の出力は n47 ~ n49 が順番に "High" レベルになり、 n49 が "High" レベルになった時点で停止する。

【0072】

デコーダ 47 の出力の $n46 \sim n49$ は遅延回路 41 の NMOS トランジスタのゲートに接続されるため、NMOS トランジスタ 4F、4E、4D の順に選択され、delay 回路 49～4G を切り替え、監視対象クロックの遅延値（デューティ比の変化監視時間）を可変できる。

【0073】

回路 500 と FF42～44 及びカウンタ 45 のリセットは "High" レベルが入力されると非同期に出力を "Low" レベルにする。回路 500 と FF42 は、デューティ比の監視結果 $n30$ を FF42～44 及び AND ゲート 4J、OR ゲート 48 により監視対象となるクロック $n1$ の 3 クロック後に非同期リセットされる。よってデューティ比の監視結果 $n30$ が "High" レベル、つまり「悪化」を検出後、監視対象となるクロック $n1$ の 3 クロック後に回路 500 と FF42 はリセットされ、リセットされる 3 クロック間に遅延回路 41 は、デコーダ 47 により新たに遅延値を選択し、デューティ悪化検出を開始する。

【0074】

この実施形態に於ける回路の場合、監視結果信号 $n30$ でデューティ比の「悪化」を検出すると、監視対象となるクロック $n1$ に同期遅延した遅延値を自動で変更する回路となっている。これにより製造、環境等による遅延値バラツキを吸収できるようにしている。

【0075】

図 9 は図 8 の動作を示すタイムチャートである。

【0076】

尚、本実施の形態では可変できる遅延値を 4 つにしたが、可変値は自由に設定しても良い。また、遅延値の初期値を、delay 回路 4A を選択ようにし、カウンタ 45 をアップダウンにして、遅延値の可変値を増加または減少する回路にすることも可能である。

【0077】

(効果)

以上説明したように、この実施の形態においては、第 3 の実施の形態と同様な効果があり、さらに監視対象となるクロックの監視値を自動で可変できるように

っており、製造、環境等によるバラツキを吸収できることで、監視対象となるパルスデューティ比を誤検出することなく監視精度の高い回路を実現できる効果がある。

【0078】

以上説明したように、本発明によるパルスデューティ悪化検出回路はパルスデューティを高い監視精度で検出できるので、種々の機能を備えたLSIのクロック生成回路、例えばPLL回路等の設計に適用することが可能である。

【0079】

【発明の効果】

以上詳細に説明したように、請求項1に係る発明によれば、被監視信号のパルスデューティの悪化を検出する回路において、前記被監視信号を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路と、

前記被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出するラッチ回路と、該ラッチ回路の出力信号を前記被監視信号によりサンプルするフリップフロップ回路とを備えた構成としたので、監視対象となるクロックに対して監視精度の高いパルスデューティ悪化検出回路を実現できる。また、温度依存性の高い素子が無く、電源電圧による依存性が小さいため、監視精度のバラツキを低減することが出来る。

【0080】

また、請求項2に係る発明によれば、被監視信号のパルスデューティの悪化を検出する回路において、前記被監視信号を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路と、前記被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出する第1のラッチ回路と、前記被監視信号と遅延同期した被監視信号とに基づいて前記被監視信号のパルスデューティにより決まるパルス幅の増大値が前記所定時間より大きくなったことを検出する第2のラッチ回路と、前記第1のラッチ回路の出力信号を前記被監視信号によりサンプルする第1のフリップフロップ回路と、前記第2の

ラッチ回路の出力信号を前記被監視信号によりサンプルする第2のフリップフロップ回路と、前記第1及び第2のフリップフロップ回路の出力信号に基づいて前記被監視信号のパルス幅が所定のデューティの範囲にあることを検出する回路とを備えた構成としたので、監視対象信号であるクロック信号のパルス幅のデューティ比が小さく変動した場合のみならず大きく変動した場合も検出できるので、デューティ比が変動許容範囲内にあるかどうかを監視することができ、高精度なパルスデューティ監視を実現できる。

【0081】

また、請求項3に係る発明によれば、請求項2記載のパルスデューティ悪化検出回路において、第1のフリップフロップ回路の出力側に、パルスデューティが小さくなる方向に複数回連続して悪化したことを検出した時に有意信号を出力する第1の検出回路と、第2のフリップフロップ回路の出力側に、パルスデューティが大きくなる方向に複数回連続して悪化したことを検出した時に有意信号を出力する第2の検出回路と、前記第1及び第2の検出回路の出力が共に非有意信号を出力している時に前記被監視信号のパルス幅が正常範囲にあることを示す信号を出力する出力回路とを備えた構成としたので、請求項2記載の発明と同様な効果があり、さら誤検出防止回路を設ける事により、監視対象となるパルスデューティ比を誤検出することなく監視精度の高い回路を実現できる効果がある。

【0082】

更に、請求項4に係る発明によれば、請求項3記載のパルスデューティ悪化検出回路において、前記遅延回路は、直列接続された複数の汎用ゲート回路により構成された遅延素子とこの遅延素子の遅延時間を選択する為のスイッチ回路とを備えた遅延回路であり、更に、前記出力回路がデューティ悪化を示す信号を出力している時にカウントアップするカウンタと、該カウンタのカウント値をデコードするデコーダ回路とを備え、該デコーダ回路の出力信号に応じて前記遅延時間を選択するスイッチ回路を制御することにより前記被監視信号の遅延時間を自動可変としたので、請求項3記載の発明と同様な効果があり、さらに監視対象となるクロックの監視値を自動で可変できるようになっており、製造、環境等によるバラツキを吸収できることで、監視対象となるパルスデューティ比を誤検出する

ことなく監視精度の高い回路を実現できる効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【図 2】

デューティ比が正常な場合の図 1 の回路の動作を示すタイムチャートである。

【図 3】

デューティ比が悪化した場合の図 1 の回路の動作を示すタイムチャートである。

【図 4】

本発明の第 2 の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【図 5】

図 4 の回路の動作を示すタイムチャートである。

【図 6】

本発明の第 3 の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【図 7】

図 6 の回路の動作を示すタイムチャートである。

【図 8】

本発明の第 4 の実施の形態におけるパルスデューティ悪化検出回路の回路図である。

【図 9】

図 8 の回路の動作を示すタイムチャートである。

【図 1 0】

従来のパルスデューティ悪化検出回路の回路図である。

【図 1 1】

図 1 0 の回路の動作を示すタイムチャートである。

【図 1 2】

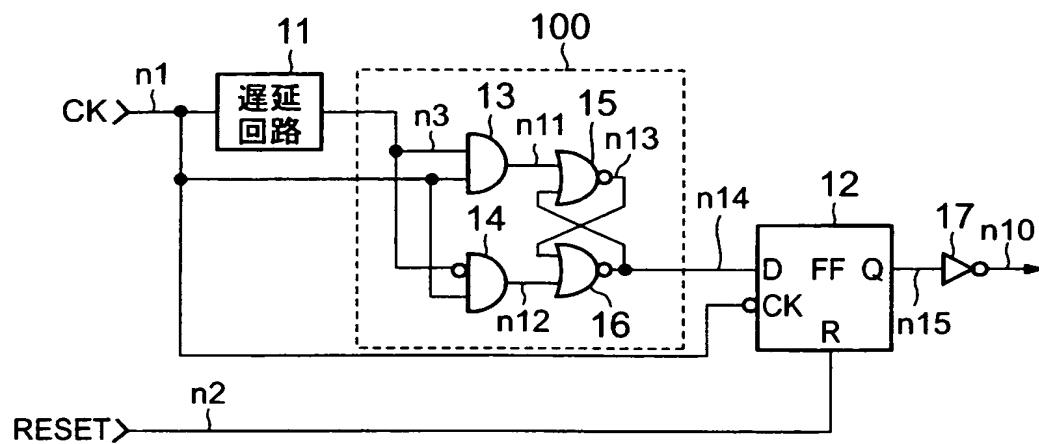
図 1 0 の回路の動作を示すタイムチャートである。

【符号の説明】

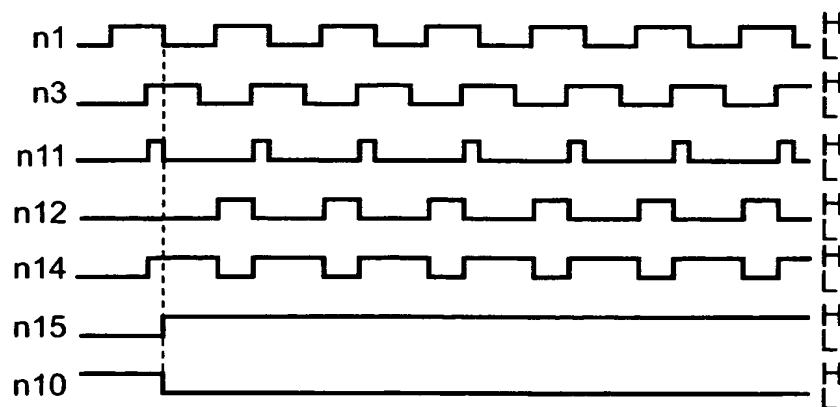
- n 1 監視対象クロック信号
- n 3 遅延同期したクロック信号
- 1 1、4 1 遅延回路
- 1 0 0, 2 0 0 ラッチ回路
- 1 2, 2 2、4 2, 4 3, 4 4 フリップフロップ回路
- 3 0 0, 4 0 0 誤検出防止回路
- 4 5 カウンタ
- 4 7 デコーダ回路

【書類名】 図面

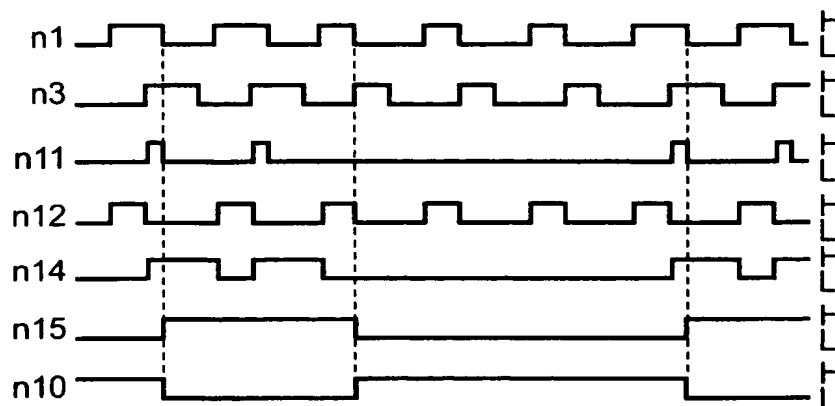
【図 1】



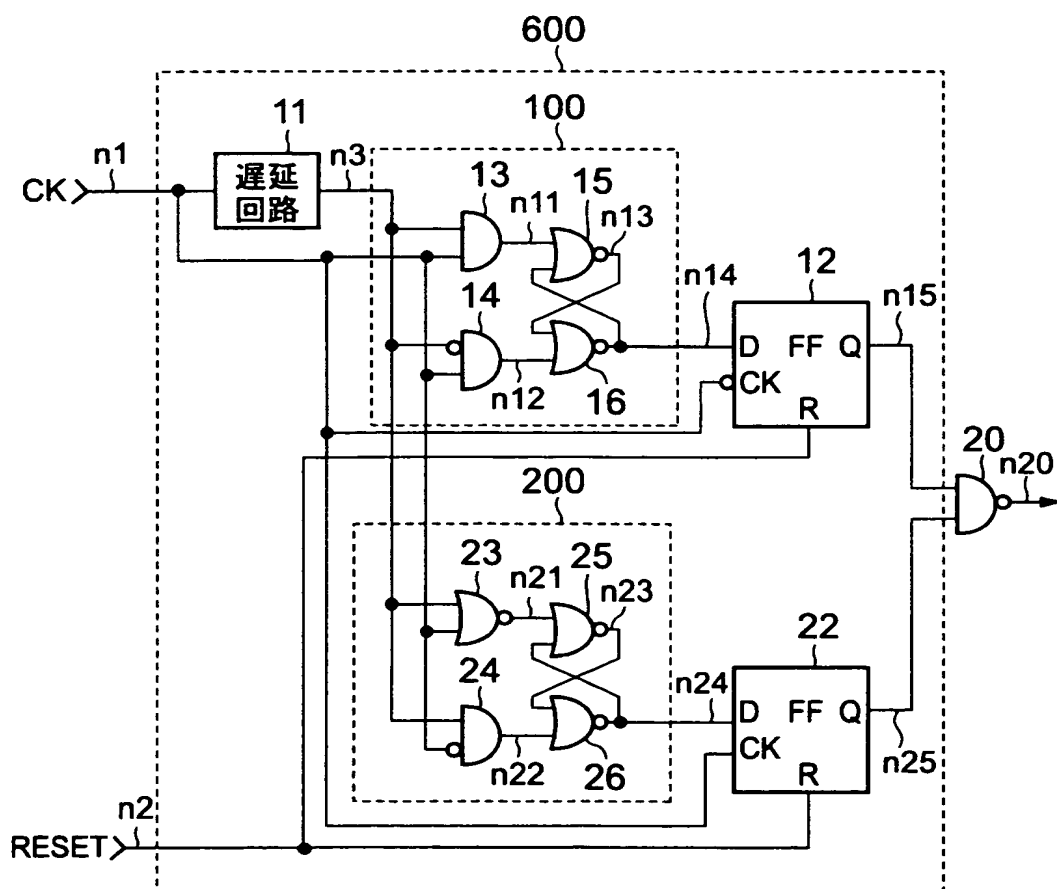
【図 2】



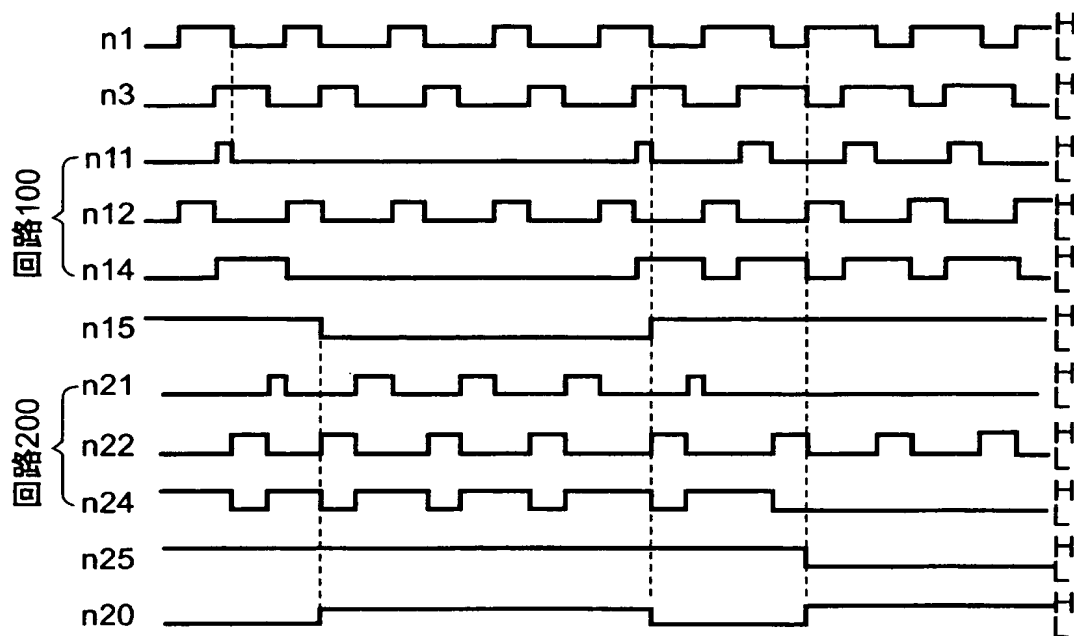
【図 3】



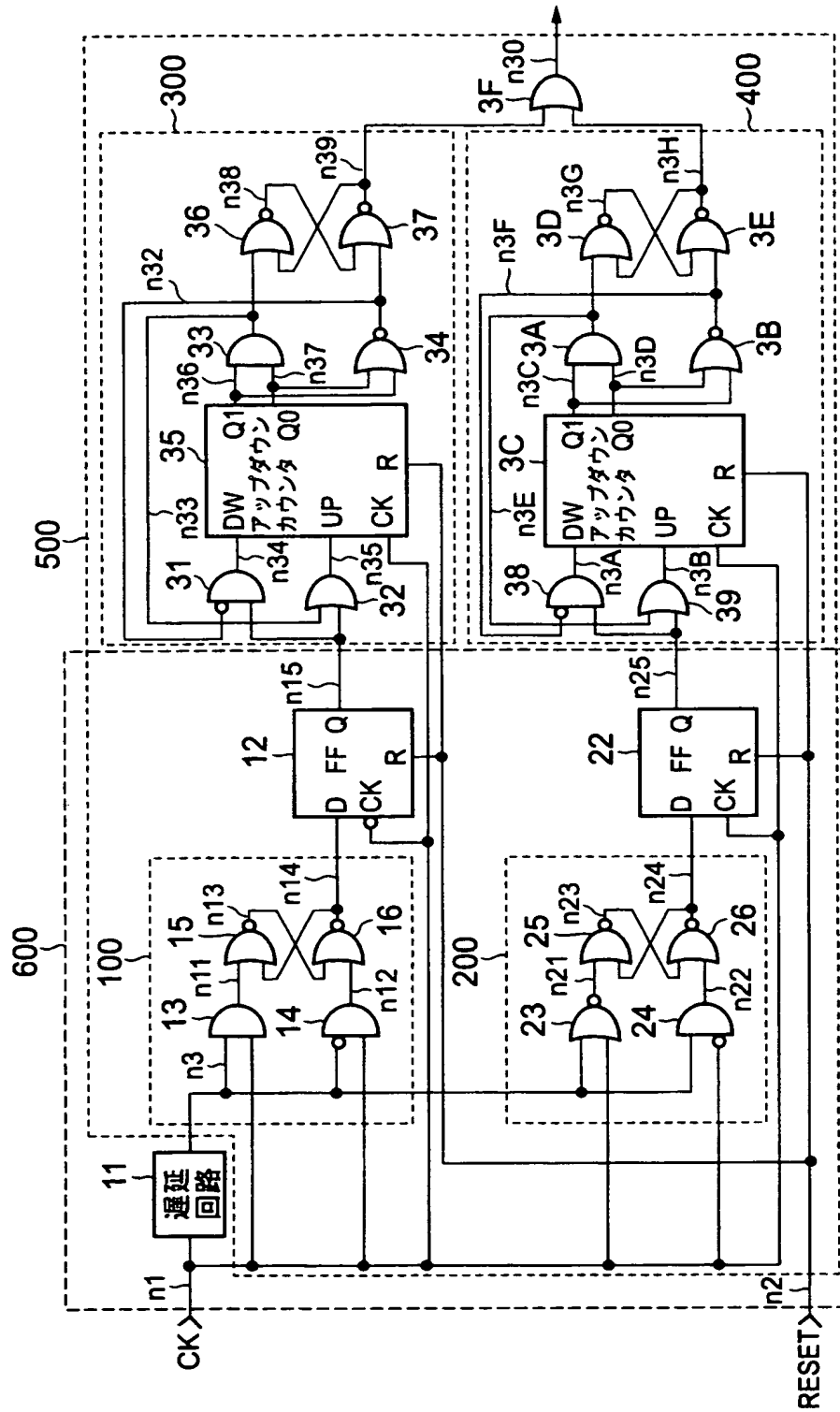
【図 4】



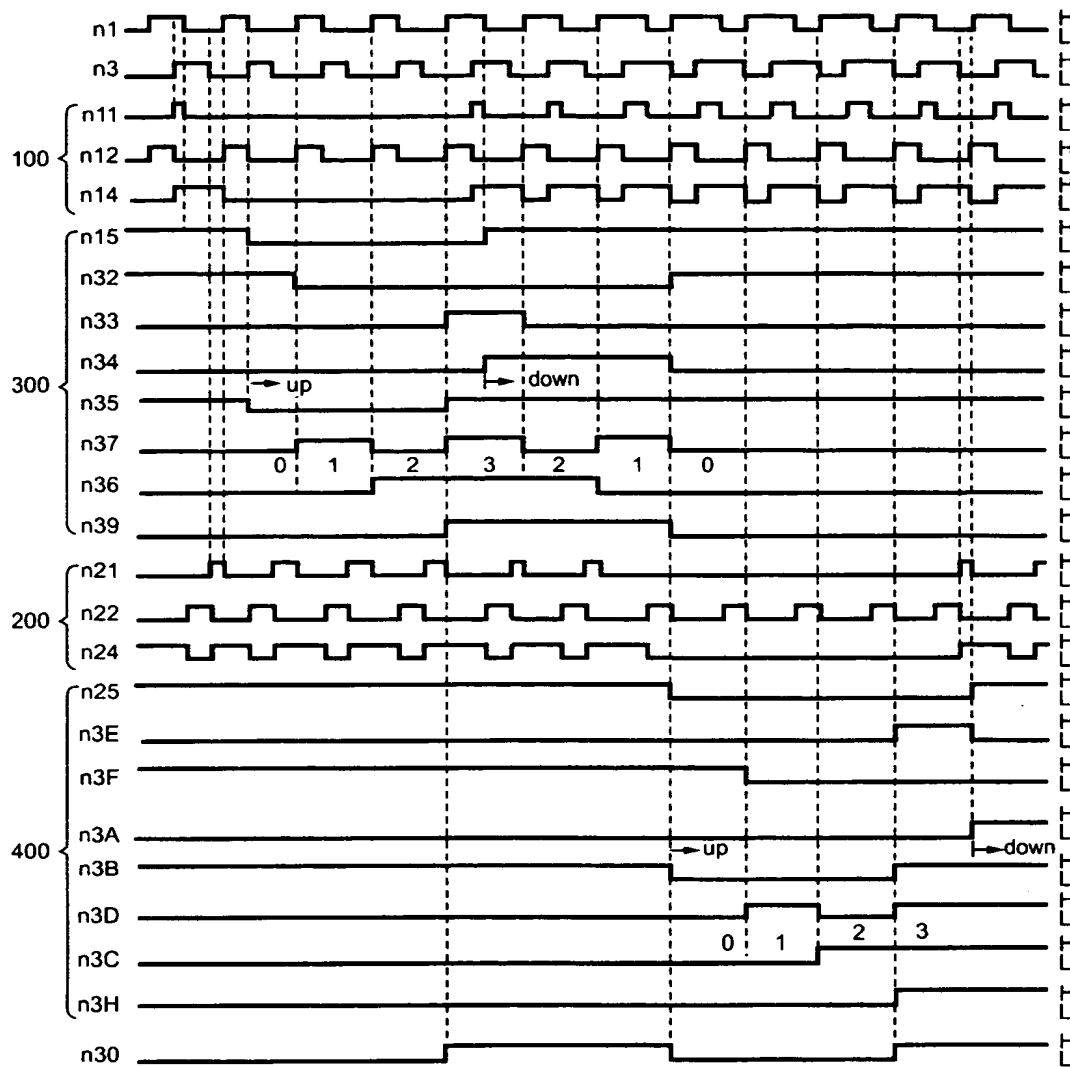
【図 5】



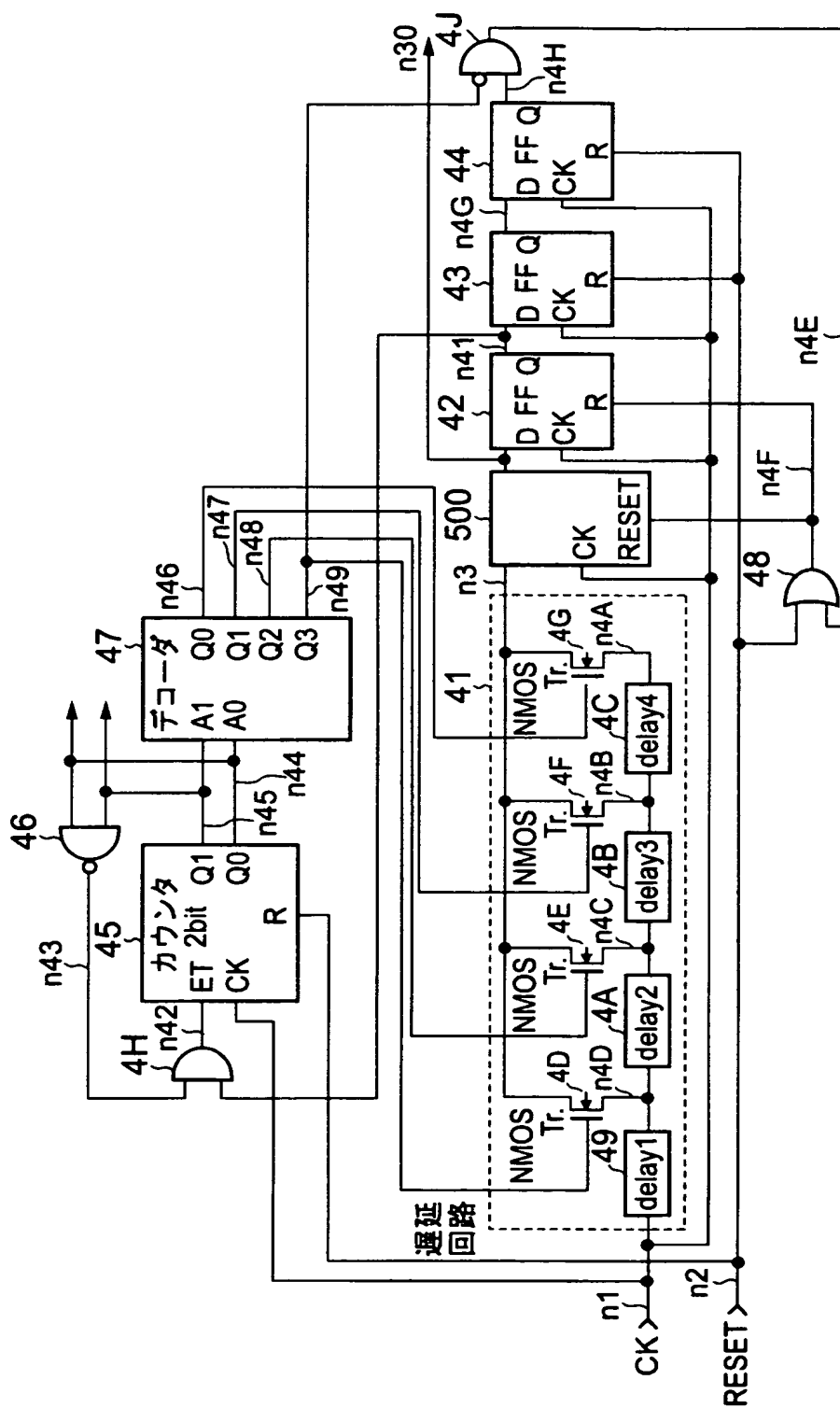
【図 6】



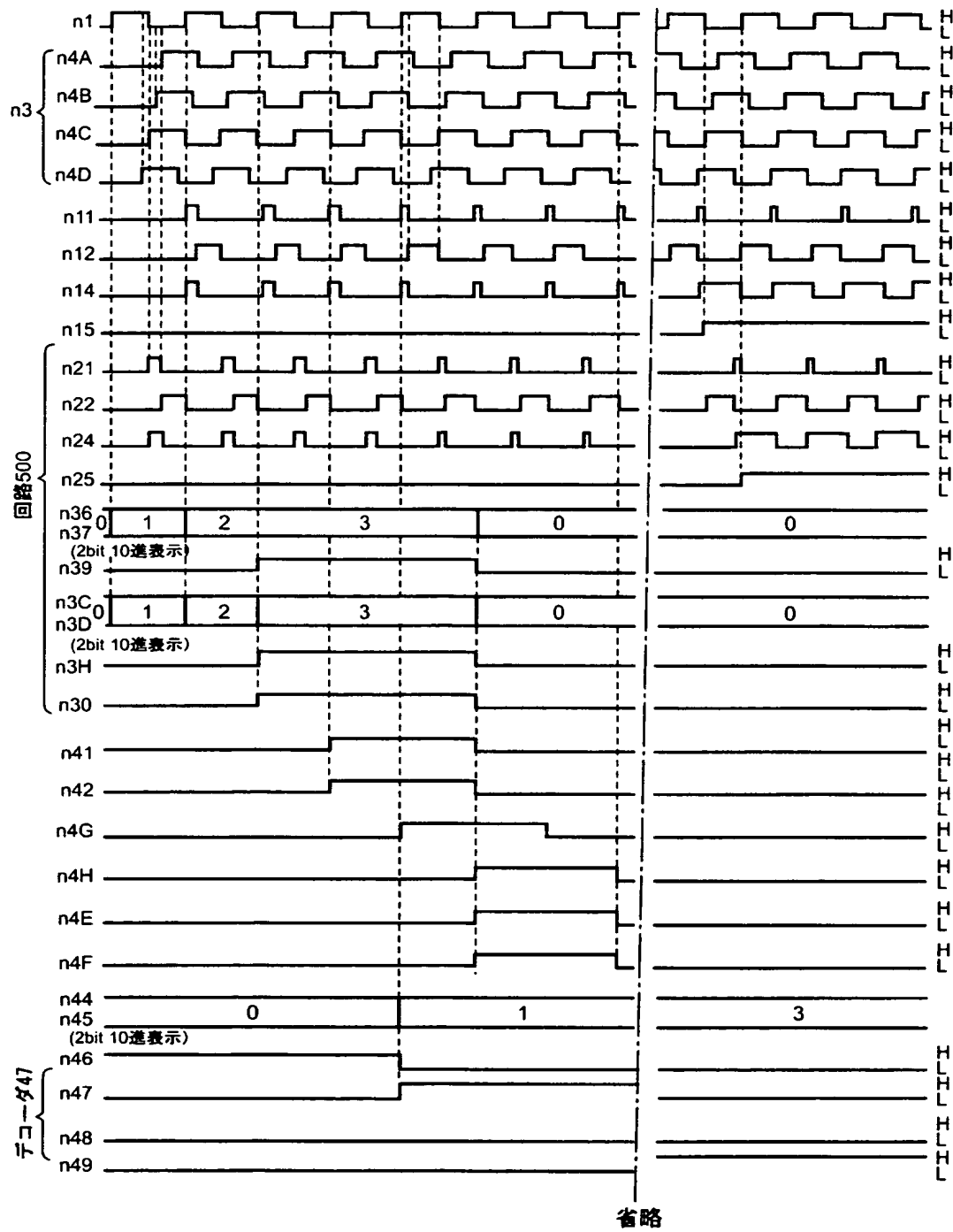
【図 7】



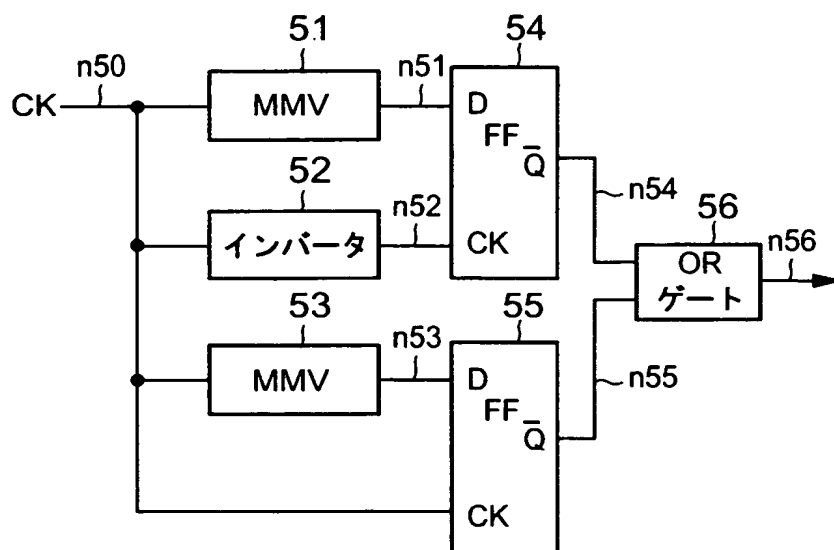
【図 8】



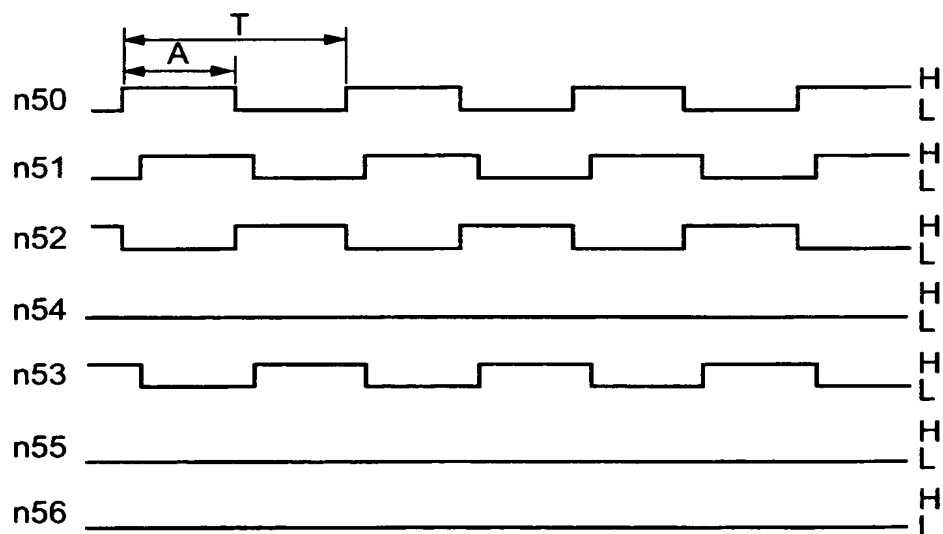
【図 9】



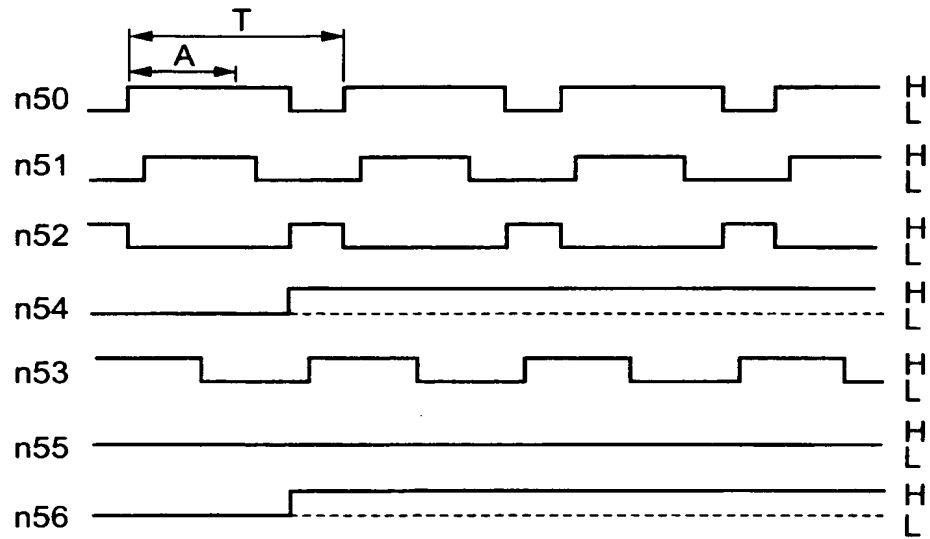
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 簡単により監視精度の高いパルスデューティ悪化検出回路を提供する。

【解決手段】 被監視信号であるクロック信号 n 1 を所定時間遅延させて遅延同期した被監視信号を生成する汎用ゲート回路で構成した遅延回路 1 1 と、クロック信号 n 1 と遅延同期したクロック信号 n 3 とに基づいてクロック信号 n 1 のパルスデューティにより決まるパルス幅の減少値が前記所定時間より小さくなったことを検出するラッチ回路 1 0 0 と、このラッチ回路の出力信号をクロック信号 n 1 によりサンプルするフリップフロップ回路 1 2 を備えた構成としている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 7 5 1 7 7
受付番号	5 0 3 0 1 0 2 6 9 2 8
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 5 年 6 月 2 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 6月19日

次頁無

特願 2 0 0 3 - 1 7 5 1 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 1 7 5 1 7 7

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 9 8 9 3]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン